

平成 17 年 9 月 22 日

報道関係各位

日本電気株式会社
電気通信大学電子機器の高周波性能を実現する新たな高速・高精度解析手法を開発

～チップ・パッケージ・ボードの統合設計を可能に～

NECと電気通信大学（先端ワイヤレスコミュニケーション研究センター・本城和彦教授）はこのたび、電子機器の高周波性能を実現するために、チップ・パッケージ・ボードなどの実装構造の配線中の電気信号経路を統合的に解析し、効率的な設計を可能にする高精度解析モデルの生成方法を新たに開発し、その効果を検証しました。

このたび、新たに開発した最適要素抽出法（新OSE法：New Optimized Segment Extraction Method）は、実装構造全体の中から電気信号経路の不連続部分を抽出し、この部分の前後につながる伝送路を含めた要素モデル（注1）を生成し、これらを組み合わせて大規模な実装構造の高周波特性解析を行うもので、主な特長は以下の通りです。

- （1）要素モデルのつなぎ目での振る舞いを重視して信号経路を分割することで、従来、一体モデルでしか計算ができなかった高精度高周波特性解析を実現（20GHzの回路の解析時に、一体モデルとの比較で ± 0.2 dB）。
- （2）実装構造全体を一体モデルで解析する場合と比べ、一つ一つのモデル規模を小さくできるため、解析時間を10分の1～100分の1に短縮可能。
- （3）要素モデルは電磁界モデル（注2）、回路モデル（注3）のどちらでも生成でき、一旦生成した要素モデルを流用できるため、LSI設計や装置設計を効率的に実現。

このたびの開発より、従来困難であったチップ・パッケージ・ボード全体での

高精度高周波解析が可能となり、設計段階で機器性能を保証することが可能となります。

近年、電子機器に対して、高精細画像や動画などの大容量データをより短時間で処理する性能が求められています。こうした高度な処理を実現するため、LSIチップの高周波性能は高まっていますが、この高周波性能を機器レベルで発揮するために、チップ・パッケージ・ボードそれぞれを通る電気信号の統合的な解析を踏まえた実装設計の重要性が高まっています。

従来は、チップ・パッケージ・ボードを一体で解析するモデルは解析対象の規模が大きく、モデルの生成自体が困難であったため、LSIチップとこれを支えるパッケージ、そしてこれらを機器に組み込むためのボードはそれぞれ別々に設計していました。しかし、これらをつなぐことで新たに電気信号の反射や損失などが生じ、より高周波のGHz領域での性能確保が困難でした。

さらに、パッケージ設計では、従来、高周波特性を重視し、1つの信号配線とその周囲条件から一体モデルを生成し電磁界解析を行う方法、もしくは配線の各要素、たとえば接続パッド、伝送路、層間接続スルーホールなどを分割して要素モデルとし、これらを回路として一体モデルに合成し解析する方法を用いて高周波解析を行っていました。しかし、前者では、高周波解析精度は高いが全体解析はできず、後者では高周波解析精度が低いという問題がありました。

このたび新たに開発したOSE法は、これらの課題を克服し、LSIチップの高周波性能を機器レベルで最大限に生かせるチップ・パッケージ・ボード統合設計を目的としたチップ・パッケージ・ボード全体での高精度高周波解析を可能とするものです。

NECでは、今回開発した解析手法が、電子回路の大規模化と高周波性能確保を両立させる設計手法として広く利用できる技術であると考え、今後、最先端の高速高周波製品に適用していく計画です。

なお、今回の成果は、9月20日から23日まで、北海道大学で開催される電子情報通信学会ソサイエティ大会で、23日に発表します。

以 上

(注1) 要素モデル

解析モデルを構成する基本単位となるモデル

(注2) 電磁界モデル

電磁気学 (Maxwellの方程式) に基づき、電気的な現象を時間的に変化する電界と磁界で記述した解析モデル

(注3) 回路モデル

電気的な現象を等価回路で記述した解析モデル

< 本件に関するお客様からの問い合わせ先 >

N E C 研究企画部 企画戦略グループ

https://www.nec.co.jp/r_and_d/ja/cl/contact.html

電気通信大学

WEBからのお問い合わせ

<http://www.kikou.uec.ac.jp/>

< この発表に関する報道関係からの問い合わせ先 >

N E C 広報部 福本

電 話 (0 3) 3 7 9 8 - 6 5 1 1 (直 通)

E-Mail m-fukumoto@db.jp.nec.com