

集積回路設計特論(13)

- FPGA -

AWCC 山尾 泰

内容

ASICとFPGA

FPGAの基本構成

FPGAの設計

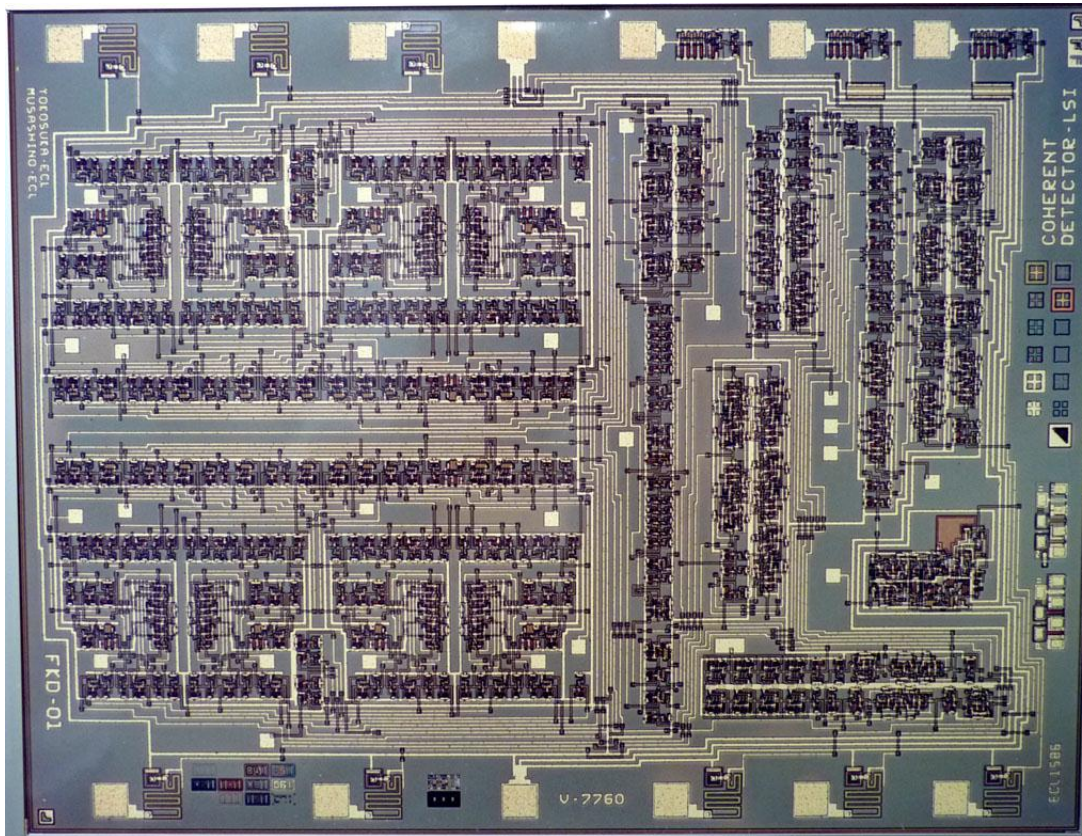
ASIC

- ASIC (Application Specific IC) は特定の回路 (デジタル論理回路など) をひとつのチップにレイアウトし, 集積したものである
- ASIC は必要な回路のみを集積したものであるため, チップサイズを最小にできるが, ターンアラウンドタイムが長く, 設計に多くの人出を要するため, **開発費が大きい**.
- ASIC は通常, 回路試作を終え, 回路動作が完璧であることを確認してから製造する. **製造後の回路変更**は, 配線の変更程度であり, 大規模な変更は不可能である
- **チップサイズ**はチップ製造コストに大きく影響するので, 回路規模が小さく, 大量生産されるICはASICがほとんどである.
- また, カスタム化を追求することで**性能と消費電力の面で優れたIC**を実現することができる.

ASICの例 - GMSK同期検波復調IC(1982)

世界初の移動通信用
低消費電力ワンチップ
デジタル復調器

2.8mm



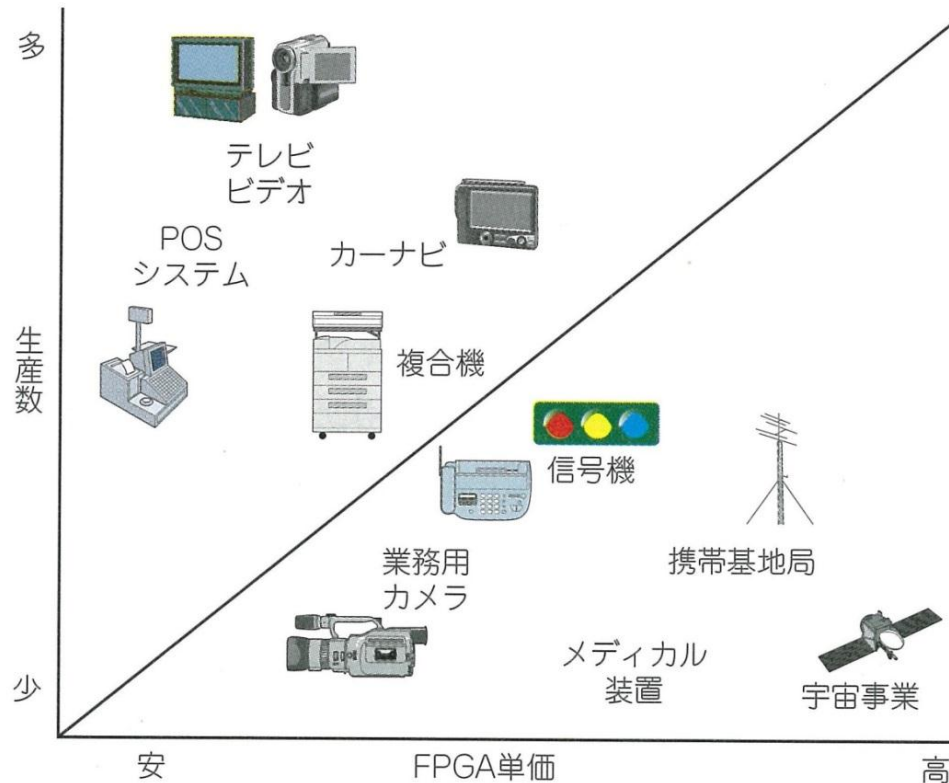
3.7mm

5 μm CMOSデジタル・アナログ回路混載
EX-OR直交検波回路, 搬送波再生用VCO
クロック再生用DPLL
455 kHz IF信号入力, 5V 0.75mW 動作

FPGA

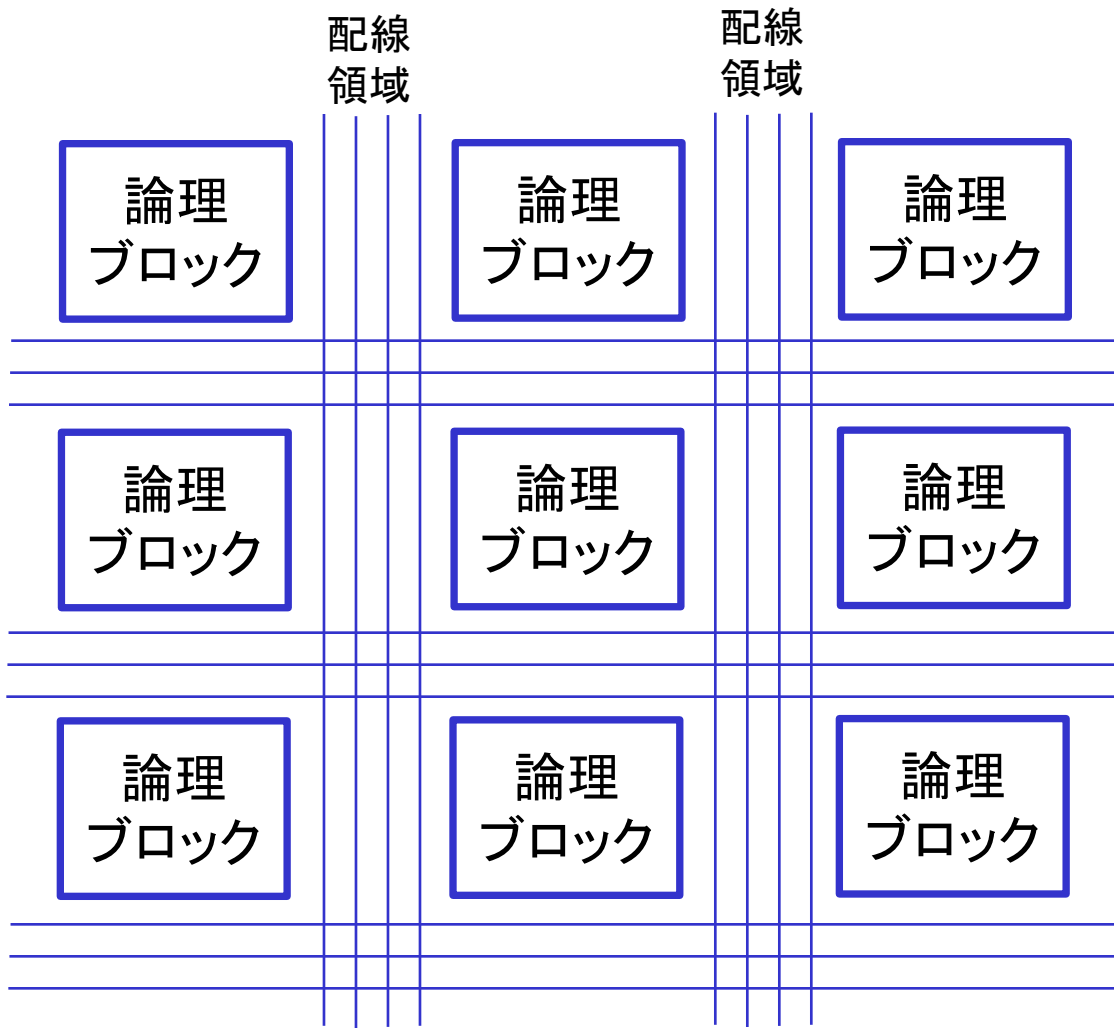
- FPGA(Field Programmable Gate Array)はゲートアレイの一種であり, 予め定められた**機能を有する数種類の論理回路ブロック**とメモリ等が既にレイアウトされたチップを購入し, 開発現場で**配線のみを施して**回路を完成させる.
- FPGAはチップ動作確認済みであり, 論理配線の検証のみで回路を製造できるので, **開発時間が短く, 開発費が安い**. このため本格的なASIC開発の前段として使われることも多い
- FPGAは類型化された回路のみを集積したものであるため, 用意された多くの回路ブロックのうち, 必要な一部のみしか使用されない. このため, **チップのコストパフォーマンスは低い**.
- 回路の最適化に制約があり, 性能面と消費電力ではベストとはいえないが, 性能面では最新の微細プロセスを用いることで多くの用途に適用可能である.

FPGA適用例



- 携帯電話基地局, テレビ, 医療機器(医療装置)など生産数の少ない産業機器に使われている
- 画像処理, データ伝送, 信号処理といった技術に用いられている

FPGAの基本回路構成



1 **論理ブロック**には複数の**基本論理セル**を含む

基本論理セルには
4～6入力1出力の組合せ
論理ユニットとフリップ
フロップを含むのが一般的

論理ブロックの数は
最新のものでは100万個
(1,000 × 1,000)に達し
ようとしている

基本論理セルのほかに
内臓メモリ(RAM)や**DSP**
セルを持つものもある

ブロックの構成法

● 論理セルの基本要素;

- ① 組合せ論理演算のためのルックアップテーブル
- ② 順序演算のためのフリップフロップ

通常, ①と②で基本論理セルとし, これを複数配して

- ③ 配線領域との接続のためのスイッチマトリクス
を加えたものが論理ブロック

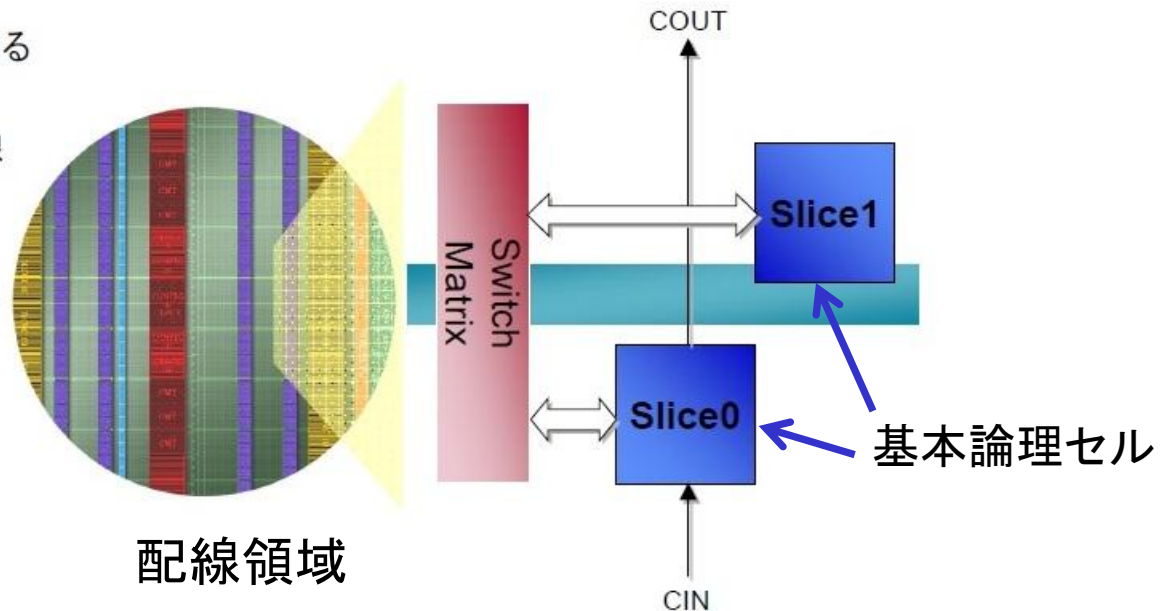
● DSPセルの基本要素;

- ① 固定小数点形式符号付き乗算器
- ② 固定小数点形式符号付き加算器/ 減算器/累算器

論理ブロックの構成法の例

Spartan-6 FPGA の CLB (Configurable Logic Block)

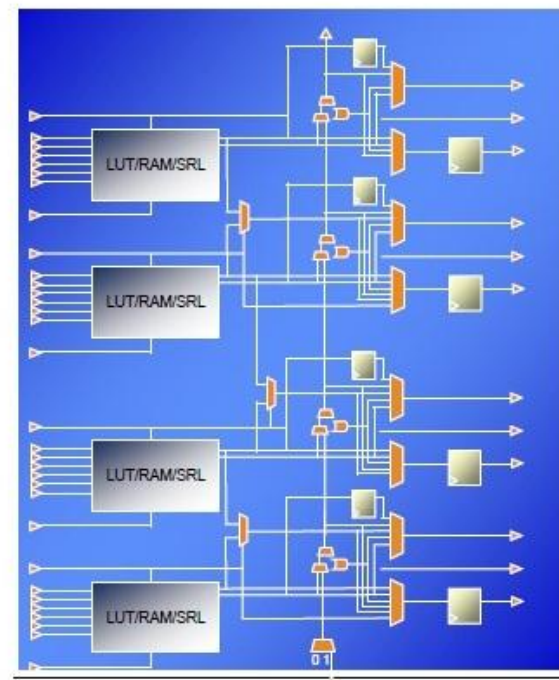
- CLB には 2 つのスライスがある
- スイッチ マトリクスへ接続し、ほかの FPGA リソースへ配線
- キャリーチェーンは、スライス 0 のみ垂直に接続可能



論理基本セルの構成法の例

Spartan-6 FPGAのスライス（論理基本セル）

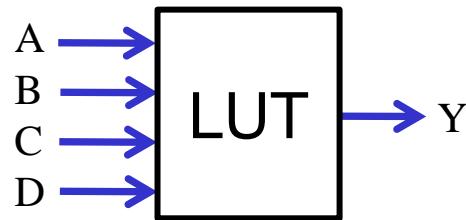
- 4つのLUT
- 8つのストレージ エLEMENT
 - 4つのフリップフロップ/ラッチ
 - 4つのフリップフロップ
- F7MUX および F8MUX
 - 複数のLUT出力を接続し、
入力幅の広いファンクションを作成
 - 出力がフリップフロップ/ラッチを駆動
- キャリーチェーン (スライス0のみ)
 - LUT および 4つのフリップフロップ/ラッチへ接続



ルックアップテーブルの構成法

● SRAMベースLUT (Look-Up Table) 型が現在の主流

例) 4入力1出力のLUT



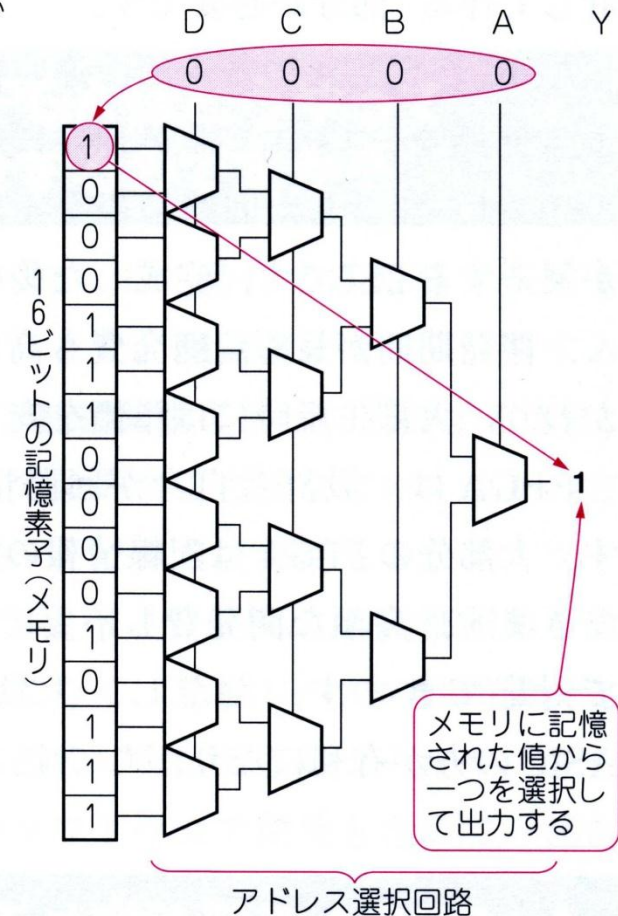
4ビットの入力(A,B,C,D)に対して、1ビットの出力を発生する

入力の組合せは $2^4=16$ あるので、16アドレス
1ビット出力のSRAMで実現できる

入力の組み合わせに対応して出力が決まる

入力				出力
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

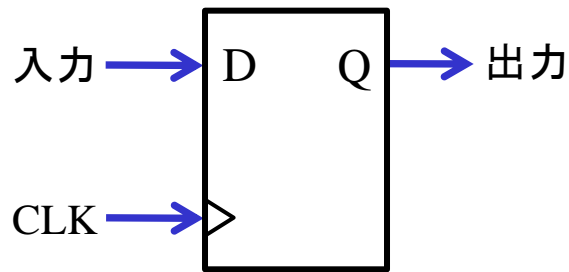
(a) 4入力1出力の真理値表



(b) 4入力1出力のルックアップ・テーブル回路の例

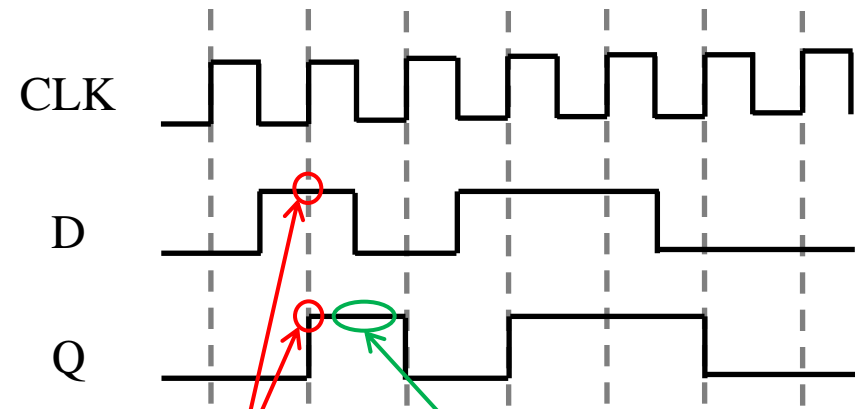
フリップフロップの動作

● 現在はDフリップフロップ型が主流



Dフリップフロップの構成

CLKの立ち上がり時、入力(D)の信号状態がQに出力され保持される



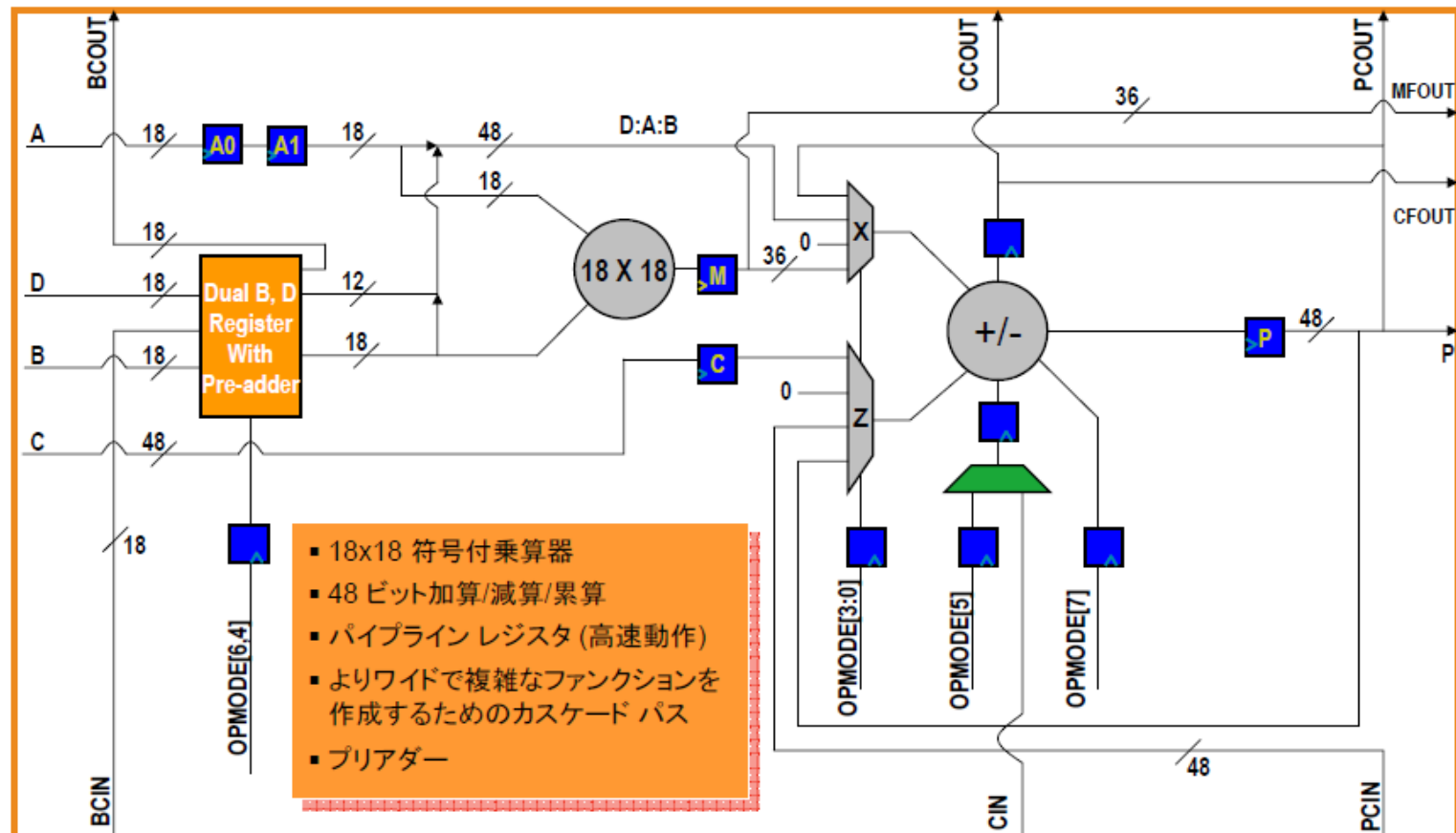
例えば、CLKの立ち上がりの瞬間にDが1の場合はQに1が出力される

次のCLKの立ち上がる瞬間までQの状態は保持される

例) Dフリップフロップの入出力信号の状態

DSPセルの例

Spartan-6 FPGA の DSP48A1 スライス



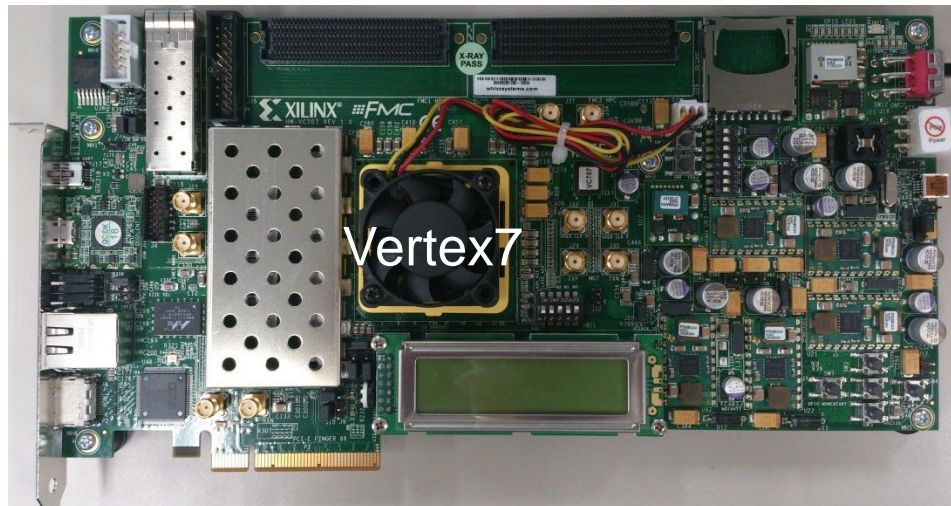
FPGA内の論理基本セルおよびDSPセルの数

例えば、現在主流となっているXilinx社7シリーズの一つであるVertex7 (XC7VX485T) の場合におけるセル数は以下の通りである

- 論理基本セル数: 75900
- DSPセル数: 2800



多くの論理素子を用いた複雑な信号処理回路も実現可能



Vertex7評価用ボード

DSPセルを用いたFIRフィルタ

典型的な DSP 動作

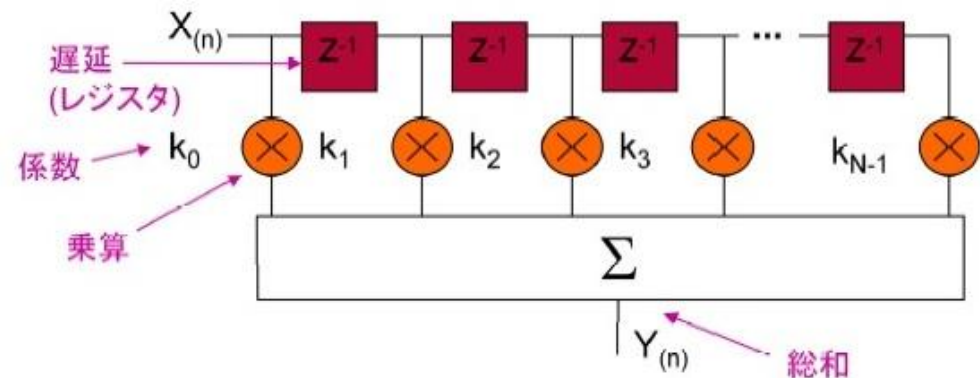
- 典型的な FIR フィルタの図
 - パラレル演算プロセス
 - N 数のタップ
 - N 回数の乗算をパラレルで実行

式で表現

$$Y_{(n)} = \sum_{i=0}^{i=N-1} k_i \cdot X_{(n-i)}$$

係数 k_i
 乗算 \cdot
 N 回の累算 \sum

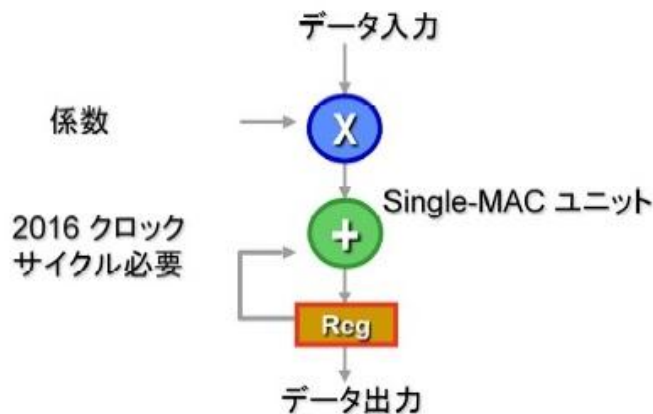
図で表現



FPGAによるFIRフィルタの実装

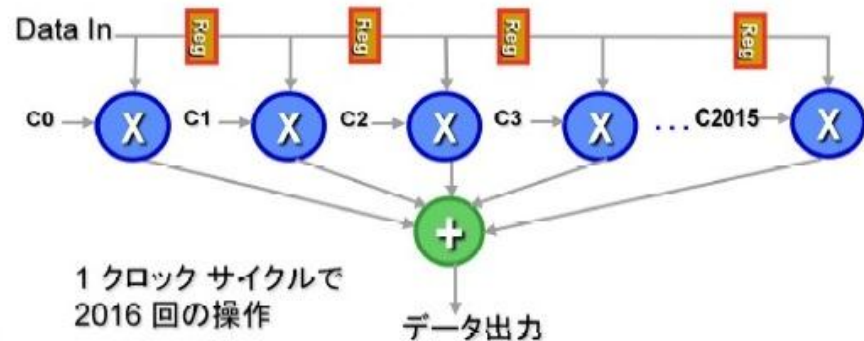
シーケンシャル vs. 並列 DSP プロセッシング

標準 DSP プロセッサ – シーケンシャル
(汎用 DSP)



$$\frac{1.2\text{GHz}}{2016 \text{ クロック サイクル}} = 595 \text{ KSPS}$$

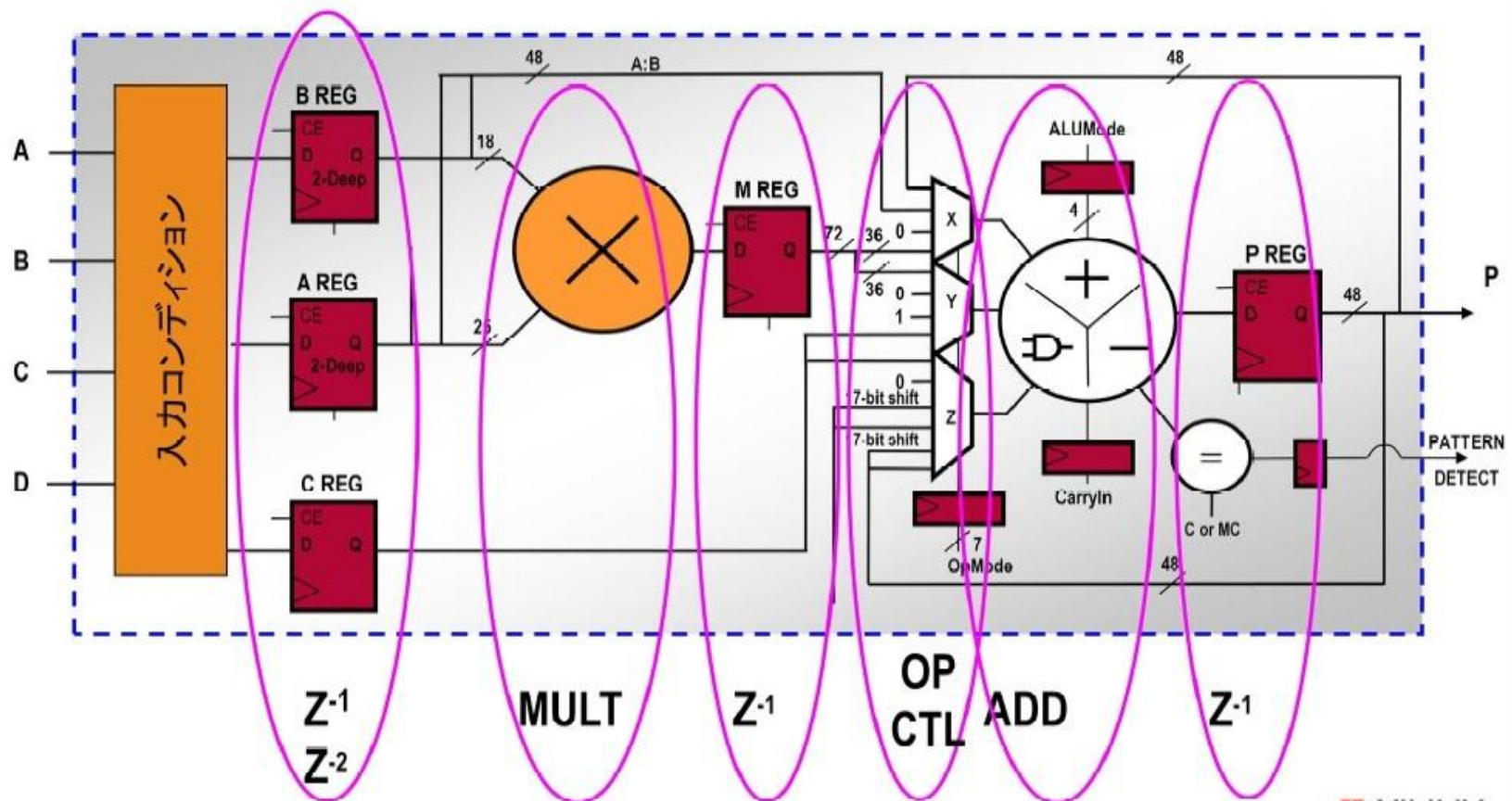
FPGA – 完全並列 インプリメンテーション
(Virtex-6 FPGA)



$$\frac{600\text{MHz}}{1 \text{ クロック サイクル}} = 600 \text{ MSPS}$$

DSPセル(スライス)の機能

DSP スライスの機能

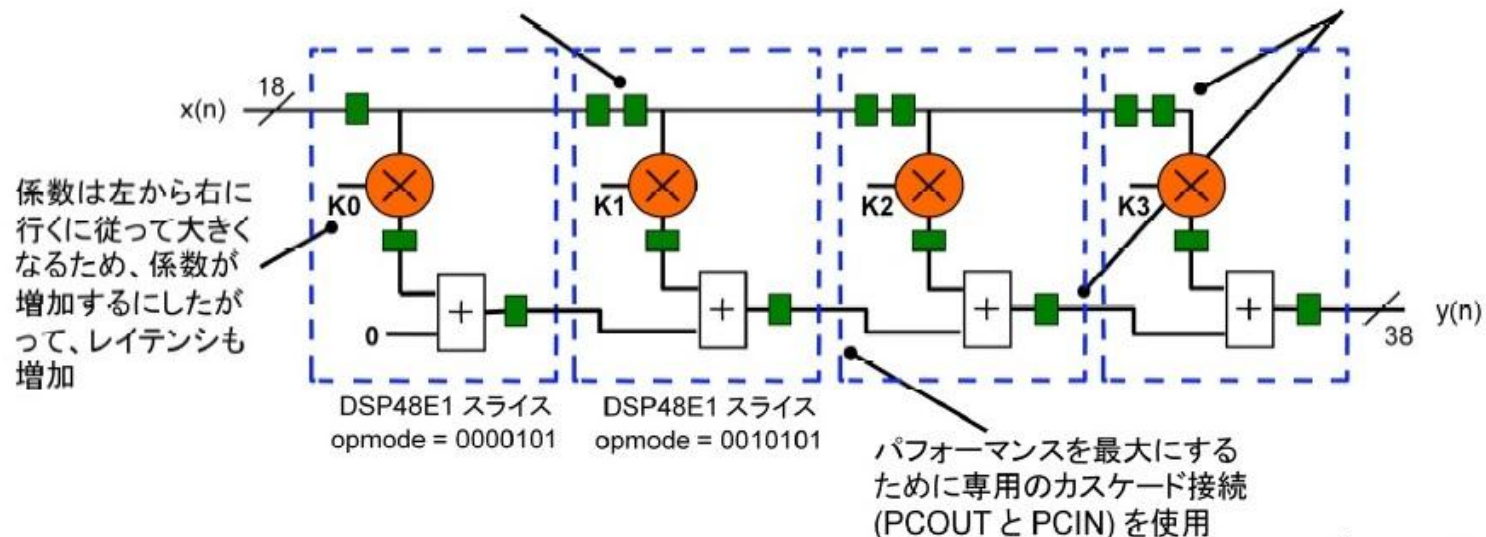


FPGAのコンフィギュレーション

DSP スライスにマップされた FIR フィルタ

パフォーマンスを最大にするため、係数の数に関わりなく、DSP スライス内部で入力データに一連の遅延が発生

シストリック FIR フィルタと言われる、このフィルタストラクチャは、実際に 1 段階多くパイプライン化されている Direct Form Type I

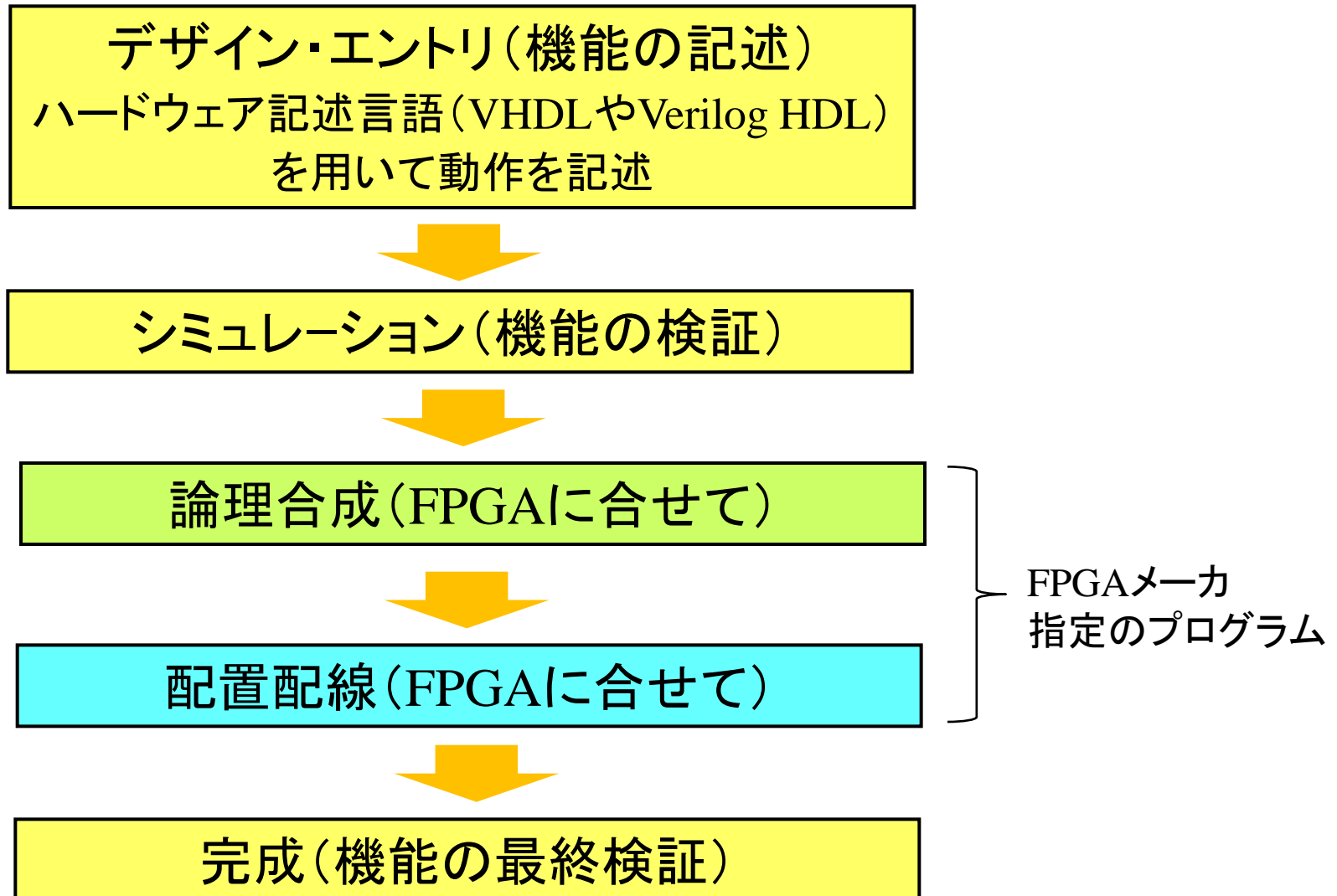


パフォーマンスは
600MHz

FPGAのコンフィギュレーション

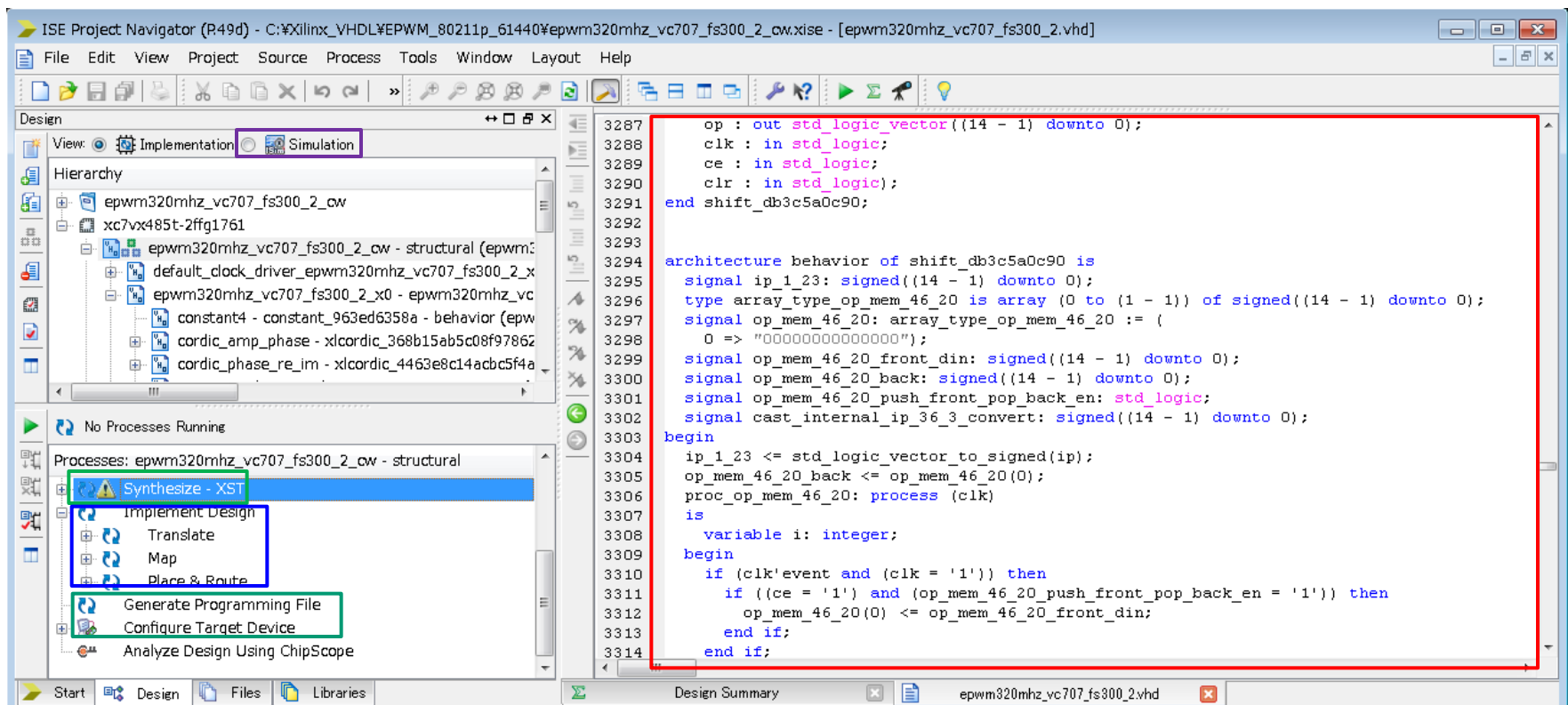
- RAMベースのFPGAでは、配線情報は電源OFF時に揮発してしまいうため、外部の不揮発性メモリに蓄積し、電源ON時にこれからFPGAに配線情報を転送して回路をコンフィギュレーションする必要がある。
- これは、外部のホスト・パソコンからもFPGAに配線情報を転送することで、容易に書き換えができることを示唆しており、開発段階での実チップを用いたデバッグが容易に行えるメリットになる。

FPGAの設計



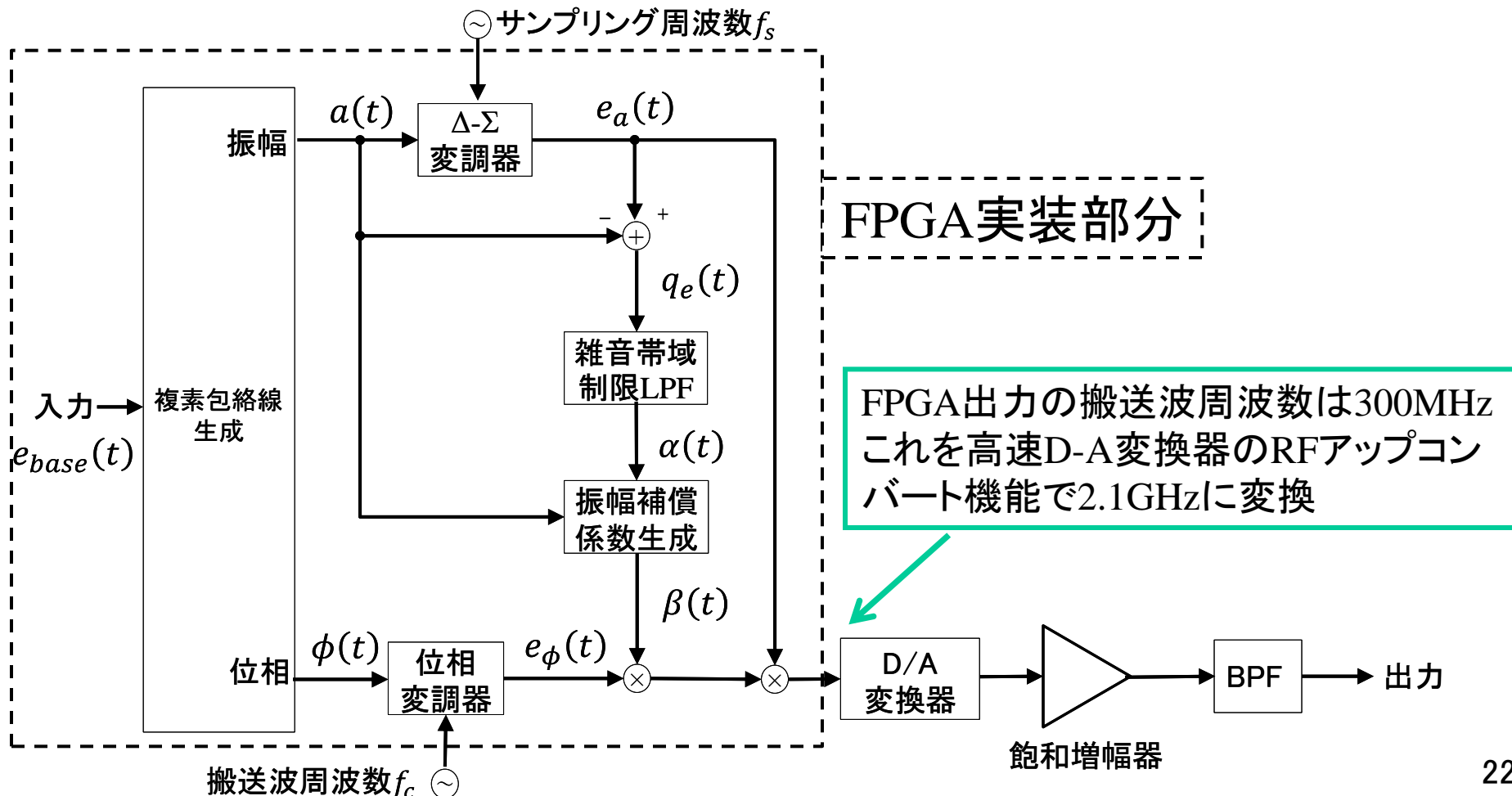
FPGA設計手法

- ハードウェア記述言語によるデザイン・エントリプログラミングを行い、専用開発ソフト(以下の図に示すISEなど)を用いてシミュレーション, 論理合成, 配置配線を行う
- コンフィギュレーション終了後にFPGA実装を行った上で機能の最終検証を行う



Vertex7を用いたANC-EPWM送信機の実現例①

OFDM信号の振幅をPWMに変換して送信する
ANC-EPWM送信回路をVertex7を用いて実現



Vertex7を用いたEPWM送信機の実現例②

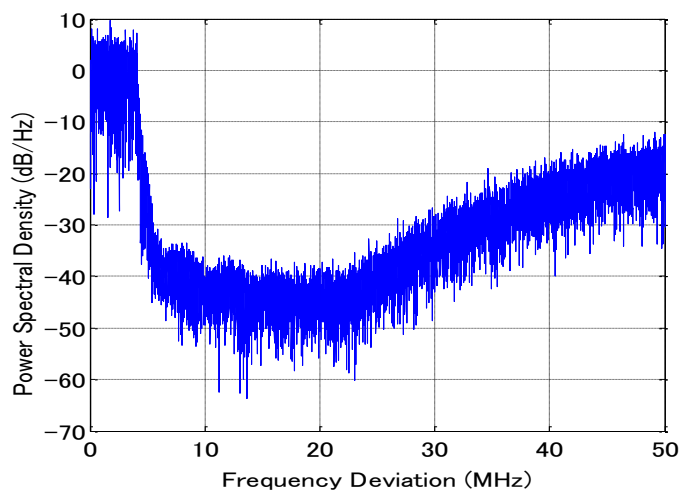
変調信号	IEEE 802.11p OFDM
IQ信号帯域幅	4.5 MHz
基本サンプリング周波数(チャネル間隔)	10 MHz
オーバーサンプリングレート(OSR)	× 30
オーバーサンプリング周波数	300 MHz
Δ - Σ 変調器	零点を有する2次
零点の周波数 f_0	24.13 MHz
雑音帯域制限LPF	4次バターワースIIR
LPFのカットオフ周波数	24.13 MHz (改良前), 26.66 MHz (改良後)
クリティカルパスに要求される最大遅延時間	3.33 ns

使用したFPGA((XC7VX485T))のリソースは以下の通り

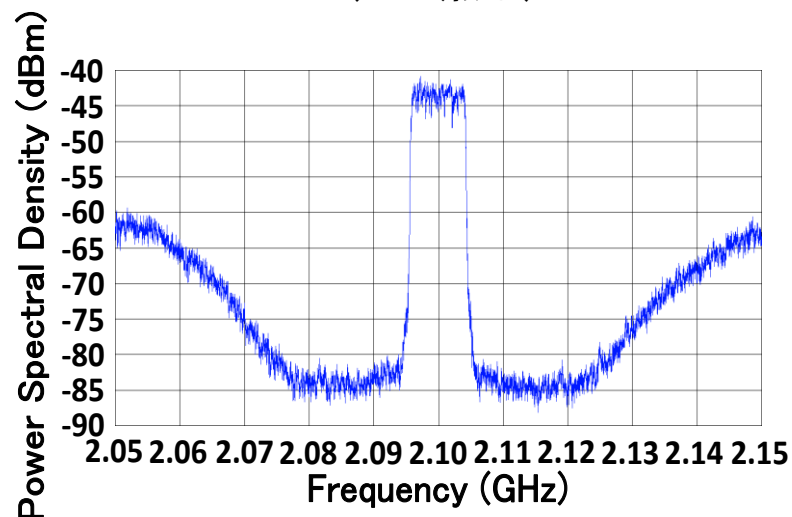
	使用数	最大数	使用率
論理基本セル	6514	75900	8%
DSPセル(DSP48)数	265	2,800	9%

Vertex7を用いたEPWM送信機の実出力

シミュレーション(System Generator)
によるベースバンド送信スペクトル



D-A変換時に搬送波周波数2.1GHzへ
アップコンバートした出力のスペクトル
(BPF無し)



	搬送波周波数	ACLR (dB)	Next ACLR (dB)
シミュレーション (System Generator)	ベースバンド (0Hz)	-40.15	-42.96
測定結果	2.1GHz	-40.05	-40.23